

FPGA を用いたイメージセンサの開発

大村 功, 高橋 裕之, 新井 浩成, 宮崎 俊之, 波 通隆
宮永 喜一*, 山田 政秀**, 小浜 雄二***, 岩本 卓三****

Development of Image Sensor Module using FPGA

Isao OHMURA, Hiroyuki TAKAHASHI, Hironari ARAI, Toshiyuki MIYAZAKI, Michitaka NAMI
Yoshikazu MIYANAGA*, Masahide YAMADA**, Yuuji KOHAMA***, Takuzo IWAMOTO****

抄 録

画像の入力および処理機能を一体化し, FPGA (Field Programmable Gate Array) を利用することで大幅な小型化と汎用性を実現したイメージセンサの開発を行った。また, 搭載可能な IP (Intellectual Property) の開発を行い, 評価アプリケーションにより有効性の確認を行った。

キーワード: プログラマブルデバイス, FPGA, 画像処理, VHDL, IP

Abstract

We developed the Image Sensor Module using FPGA (Field Programmable Gate Array) This sensor module is credit-card sized and equipped a CMOS imaging device and a imaging processor realized by FPGA. It can be applied to multi-purpose use by programming FPGA. We also developed IPs, and evaluated this Image Sensor Module by some applications.

KEY-WORDS: Programmable Device, FPGA, Image Processing, VHDL, Intellectual Property

1. はじめに

近年, 画像処理技術の向上と画像入力機器の低価格化により, 画像処理の用途が急速に広がってきている。特に農水産物など不定形状を対象とした計測やセキュリティ向けの認識処理など, 新たな応用分野へ向けた多様な処理手法が開発されている。

このような多様な処理に対応する画像処理装置として, 価

格や開発環境の点から, 現在ではパソコンを用いるのが一般的となってきた。しかし, パソコンをベースとした画像処理システムは, 実用化や製造ラインへの導入において, 設置スペースや耐環境性などの点で問題となる場合が多く, 導入における障害となっている。このような問題は専用の画像処理装置においても同様であり, 新たな利用分野へ向けた処理装置の小型化が望まれている。

一方, 電子機器の小型化を可能とするデバイスとして, 近年 FPGA (Field Programmable Gate Array) の利用が急速に広がっている。ゲートアレイを利用した LSI 化と比較して非常に少ないコストで開発が可能となる。また, ユーザが 1 個から自由に機能を書き込んで使用できる汎用性が大きな特長となっており, 多品種少量生産品や開発サイクルの短い製品では非常に有効なデバイスと言える。

本研究では, FPGA を採用することで, 高速性, 汎用性

* 北海道大学

** (株)エルムデータ

*** (株)イーエスイー

**** 北海道電子機器(株)

事業名: 重点領域特別研究

課題名: マルチメディアデータ処理プロセッサの開発と応用に関する研究

を備えながら、大幅な小型化を実現した画像処理装置「イメージセンサ」の開発を行った。このイメージセンサは、画像処理装置としての機能を備えるだけでなく、画像入力部を含めた大幅な小型化により、設置スペースなどの問題の解決、低消費電力化や低コスト化、さらにインテリジェントなセンサとして幅広い応用が可能である。また、同時に画像処理機能として FPGA 上に搭載可能な IP (Intellectual Property) の開発を行い、評価用アプリケーションに組み込んで、開発 IP およびイメージセンサの有効性を確認した。

2. イメージセンサの開発¹⁾

2.1 FPGA による汎用性・高速性の実現と小型化

FPGA の大きな特長は以下の 3 点である。

- ・汎用性（機能の自由な書き換えが可能）
- ・高速性（ハードウェア・ロジックによる高速な処理）
- ・大容量（複数の処理回路を搭載、小型化が可能）

開発したイメージセンサでは、このような特長を活かし、カメラ、キャプチャボード、パソコン、デジタル入出力ボードなど一般に用いられている画像処理システムの機能を 1 つのボード上に搭載し、処理に必要な機能を FPGA で実現する方法を採った。

このような方法では、すべての処理をハードウェアとして実行するため、処理性能をフルに活用できるだけでなく、ハードウェアの特長である並列処理を有効に利用した高速な処理が可能となる。また、ハードウェアの共通化による低コスト化を図ることができる。

必要な FPGA の容量は、稼働時に搭載する機能のみであるため、必ずしも大容量である必要はない。しかし、将来の様々な処理に対応するため、本研究では、現時点で入手可能なもっとも容量の大きい量産タイプの FPGA を採用した。採用した FPGA (ALTERA ACEX1K100QC208-1) の外観を図 1 に、仕様を表 1 に示す²⁾。

撮像デバイスとしては CCD が一般に利用されているが、CCD を使った場合には周辺回路としてアナログ回路が不可欠となる。一方、A/D 変換回路を内蔵した CMOS タイプの撮像デバイスを利用した場合には、直接、FPGA とのディ

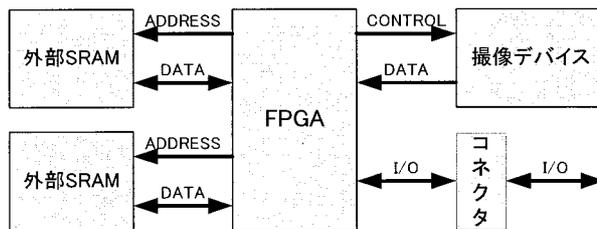


図2 イメージセンサの構成

ジタル信号によるインターフェースが可能となり、回路の簡略化、小型化が可能となる。

本研究ではFPGAの利用と同時にCMOSタイプの撮像デバイスを採用した結果、画像入力機能と処理機能をカードサイズのボード上に搭載可能となり、大幅な小型化が実現した。イメージセンサの構成を図2に示す。

2.2 開発したイメージセンサと仕様

本研究では、VGAタイプのイメージセンサと、4倍の解像度を持つSXGAタイプの2種のセンサを開発した。開発したVGAタイプのイメージセンサの外観を図3に、基板の実装状態を図4に、SXGAタイプの外観を図5に、基板の実装状態を図6に示す。また、これらのイメージセンサの仕様を表2に示す²⁻⁴⁾。高密度実装を行うために、基板は6層とし、部品を両面に実装した。基板サイズはともに約8×6cmである。

VGA、SXGAの2つのタイプのイメージセンサは、解像度、撮像デバイスの制御機能を除き、まったく同じ処理機能を搭載できるため、コストの点ではVGAタイプを、精度の点ではSXGAタイプを選択するなど、用途によって使い分けることができる。VGAタイプでは樹脂製レンズホルダの採用により、光学系のコストについても大きく削減できる。

特にSXGAタイプのイメージセンサは、従来、特殊な画像処理装置でしか扱えなかった高精細な画像を扱えるようにしたもので、より精度の高い画像計測装置として利用範囲が広い。また、画像の入力部と処理部が一体化したことにより、撮像デバイスの直接制御による露出時間やゲインの調整、対

表1 利用したFPGAの仕様

使用FPGA	ACEX1K100QC208-1
LE数	4,992
EAB数	4,096bit×12
PLL	1
配線リソース	312チャンネル×12(Row) 24チャンネル×52(Column)
I/O数	MAX147pin
パッケージサイズ	約30×30mm



図1 利用したFPGA

表2 イメージセンサの仕様

	VGAタイプ	SXGAタイプ
使用FPGA	ACEX1K100QC208-1 (ALTERA) 100Kゲート相当	
動作クロック	48MHz(FPGA)	
撮像デバイス	HDCS-2020 (Agilent Technologies) 640×480×10bit (RGBカラー)	KAC-1310 (Eastman Kodak) 1280×1024×10bit (RGBカラー)
フレームレート	15画面/秒(フル画面モード)	
搭載メモリ	4Mbit SRAM (256K×16bit)×2 アクセスタイム12nsec	16Mbit SRAM (1024K×16bit)×2 アクセスタイム12nsec
基板サイズ	78.7×59.7mm	

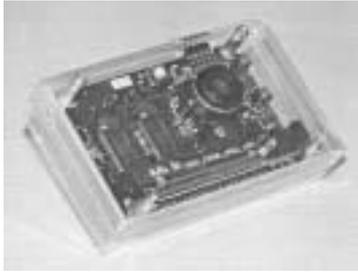
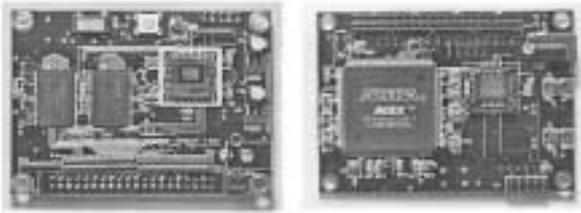


図3 イメージセンサの外観 (VGA タイプ)

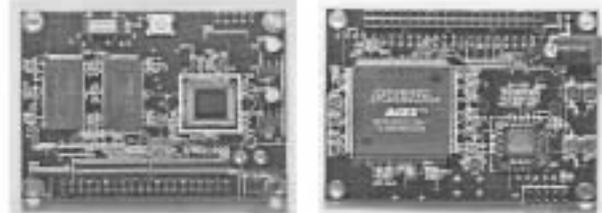


図5 イメージセンサの外観 (SXGA タイプ)



(おもて面) (うら面)

図4 基板の実装状態 (VGA タイプ)



(おもて面) (うら面)

図6 基板の実装状態 (SXGA タイプ)

象物の移動速度に応じたフレームレートの変更など撮像環境の変化に対応したダイナミックな制御が実現した。フレームレートは解像度の変更によって変化するため、SXGA タイプを高速な VGA タイプとして利用することもできる。このような機能により、従来の画像処理装置に比較して、さらに柔軟な計測条件への対応が可能となった。

3. 画像処理機能の FPGA への搭載

3.1 ハードウェア記述言語を用いた開発

本イメージセンサでは、FPGA を中心としたハードウェア構成としたために、すべての機能を FPGA 上に実現する必要がある。柔軟性が大きくなった反面、処理機能の開発が非常に重要な要素となっている。このような処理機能は一般に IP (Intellectual Property) と呼ばれ、それ自体、付加価値の高い商品となりうる。また、再利用可能な IP の開発と蓄積はその後の開発効率の向上とコストの低減を図る上で重要なポイントとなる。

本研究開発では、再利用性の高い IP の開発として、以下の点を考慮した設計開発を行った。

- ・ハードウェア記述言語による設計
- ・機能の細分化
- ・汎用性の高い機能の分離
- ・入出力 bit 幅のパラメータ化
- ・システムクロック変更への容易な対応
- ・入出力信号の標準化

従来、ハードウェア開発では回路図による設計開発が一般的であったが、FPGA の近年の大容量化に伴い、ハードウェア記述言語による開発が主流となってきた。ハードウェア記

述言語には以下の特長がある。

- ・テキストによる回路の記述
- ・抽象度の高い記述が可能
- ・設計データの再利用が容易
- ・移植性が高い (デバイスに依存しない)

また、ハードウェア記述言語による設計ではパラメータを利用した回路の生成の制御が可能となっており、本研究ではこの特長を利用し、入出力のビット幅の変更やタイミング調整のための F/F 回路の自動生成を可能とした処理モジュール (IP) を開発した。

入出力の標準化については、画像処理モジュールを以下の3種に分類し、A, Bに属するモジュールに関して、それぞ

```

-----
-- IMG_XXX : Image Processing Module (Type B)
-- ver 1.0 by LOHMURA 2000.08.29
-----

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
library lpm;
use lpm.lpm_components.all;

entity IMG_XXX is
generic(
    ASZ : integer := 8; -- 入力するイメージデータ幅 (bit)
    BSZ : integer := 8; -- 出力するイメージデータ幅 (bit)
    LSZ : integer := 9; -- ラインバッファのアドレス幅 (bit)
port(
    CLK : in std_logic; -- クロック信号
    RST : in std_logic; -- リセット信号
    DATIN : in std_logic_vector(ASZ-1 downto 0); -- イメージデータ入力
    DATVIN : in std_logic; -- 有効信号入力
    ROWEIN : in std_logic; -- ライン終了信号入力
    FRMEIN : in std_logic; -- フレーム終了信号入力
    DATOUT : out std_logic_vector(BSZ-1 downto 0); -- イメージデータ出力
    DATVOUT : out std_logic; -- 有効信号出力
    ROWEOUT : out std_logic; -- ライン終了信号出力
    FRMEOUT : out std_logic; -- フレーム終了信号出力
end IMG_XXX;
    
```

図7 入出力部分の VHDL 記述例 (処理 B)

れインターフェース信号の信号名, タイミングを規定した。

- A. カラー画像処理 (入出力ともカラー画像を扱う)
- B. モノクロ画像処理 (入出力ともモノクロ画像を扱う)
- C. 特定機能の画像処理 (入出力とも変則的)

これにより, 同種の処理モジュールを複数, 自由に組み合わせ実行が可能となった。なお, 2 値画像処理に関してはモノクロ画像処理のうち, 上位 1 ビットのみを扱う処理として B の処理に含めた。

必要なインターフェース信号は以下の 4 種とした。

- ・イメージデータ (DAT または DATR, DATG, DATB)
- ・有効信号 (DATV)
- ・ライン終了信号 (ROWE)
- ・フレーム終了信号 (FRME)

上記信号名の後に「IN」を付け加えた信号が入力信号, 「OUT」を付け加えた信号が出力信号となる。イメージデータは 1 ~ 10bit の信号で, モノクロでは 1 種, カラーでは赤 (R), 緑 (G), 青 (B) に対応した 3 種の信号を使用する。また付随情報として, 水平同期用のライン終了信号と垂直同期用のフレーム終了信号 (各 1bit) を伴い, 有効信号 (1bit) により入出力のタイミングを示すインターフェースとした。各モ

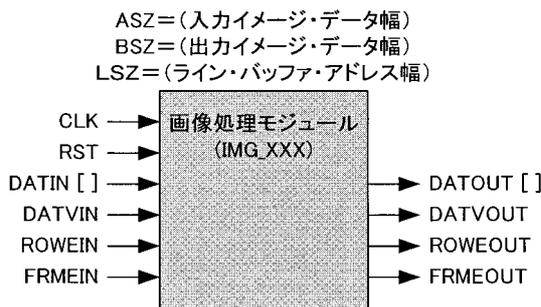


図 8 画像処理モジュールの入出力 (処理 B)

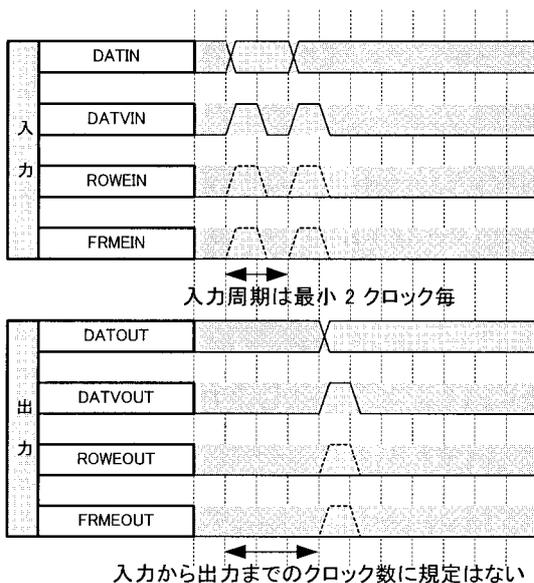


図 9 入出力タイミング

ジュールは他にクロック信号 (CLK) とリセット信号 (RST) が必要である。処理 B における入出力部分の VHDL 記述例を図 7 に, モジュールの入出力信号を図 8 に示す。また, これらの入出力信号のタイミングを図 9 に示す。

3.2 画像処理のハードウェア化と高速化

画像処理においては, 各画素の単純な読み出しにおいても約 30 万回 (VGA 画像の場合) のアクセスが必要となる。このような処理の高速化のためには, アクセスタイムの短いメモリデバイスの採用と同時に, アクセス回数を削減し, FPGA 内部で並列的な処理を可能とするアルゴリズムの開発が重要である。

利用した FPGA では, 約 5,000 個のロジックブロック (LE) の他に 12 個のメモリブロック (EAB) を備えている。メモリブロックは 4kbit の容量があり, ワード数が 256 の整数倍の 4 種類の形態を採ることができる。本研究ではランダムアクセスを伴わない処理について, このメモリブロックをラインバッファとして各モジュールに内蔵し, 画像メモリへのアクセス回数を削減した。

このようなモジュールでは, 複数の処理をパイプライン構成とし, 画像メモリを介さずに処理を実行できるため, 画像の読み出し終了とほぼ同時に結果が得られる。処理に要する時間は実質的にパイプラインの段数に相当したクロック数となり, 大幅な処理時間の短縮ができる。

図 10 にパソコンとキャプチャボードを介して画像を取り込む処理装置の場合と, 本イメージセンサで処理した場合の違いを示す。キャプチャボードを利用した場合にはフレームの取り込みを終えてから処理を開始するため, 一般的に連続した処理はできない。一方, イメージセンサではフレームの終了を待たずに処理を開始できるためと, パイプラインによる多重処理が可能となるため, 連続的で高速な処理ができる。

なお, 搭載した画像メモリはアクセスタイム 12nsec の高速な SRAM デバイスを採用した。

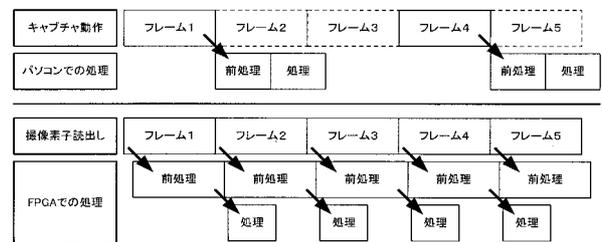


図 10 パソコンにおける処理との比較

3.3 画像処理機能の開発

FPGA における画像処理の実現は, 処理機能それぞれをハードウェア回路として設計する必要がある。本研究開発では利用頻度の高いものについて, ハードウェア記述言語によ

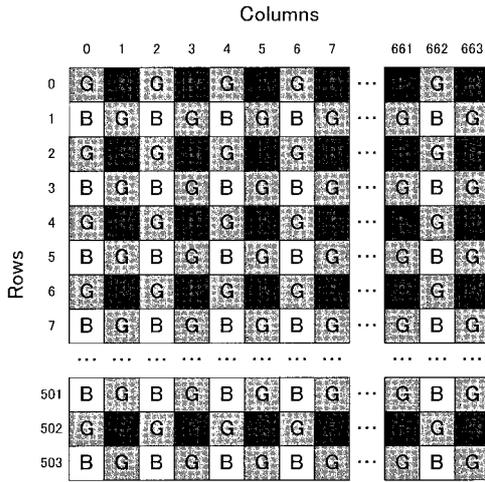


図11 撮像デバイスのカラーフィルタ

る開発を行った。以下に主な処理機能の開発について述べる。

(1) 撮像データ変換機能

撮像デバイスからのイメージデータをモノクロ、もしくはフルカラー画像データへ変換する機能である。

撮像デバイスからのイメージデータは左上の画素から順に出力用同期信号にあわせて出力される。使用した画像入力デバイスは図11に示すようなRGBのBayerパターンのカラーフィルタを採用しているため、送られてくるイメージデータはその画素の位置によって、Red, Green, Blueのいずれかの色情報となっている。

変換はともに2×2画素ブロック単位で処理を行い、モノクロ画像変換においては結果の濃度データをYとして、簡易的に以下の変換式により変換した。

$$Y(i, j) = (R + G_1 + G_2 + B) / 4 \quad \dots\dots\dots (1)$$

式(1)において、R, G₁, G₂, Bは入力画像のデータで、それぞれ、2×2画素中の赤(R)の画素データR, 緑(G)の画素データG₁, G₂, 青(B)の画素データBである。

また、フルカラー画像への変換においても同様に2×2画素をブロックにおいて、以下のように変換した。

$$\begin{aligned} r &= R \\ g &= (G_1 + G_2) / 2 \\ b &= B \quad \dots\dots\dots (2) \end{aligned}$$

ともに緑(G)の画素データとして2つの値を利用している

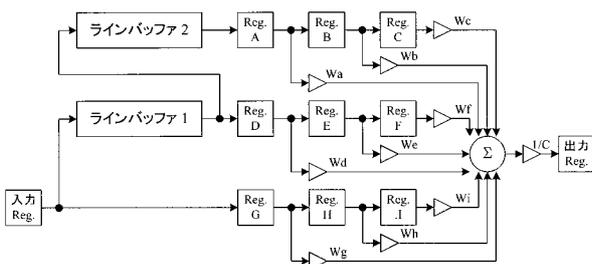


図12 3×3空間フィルタの一般的な構成

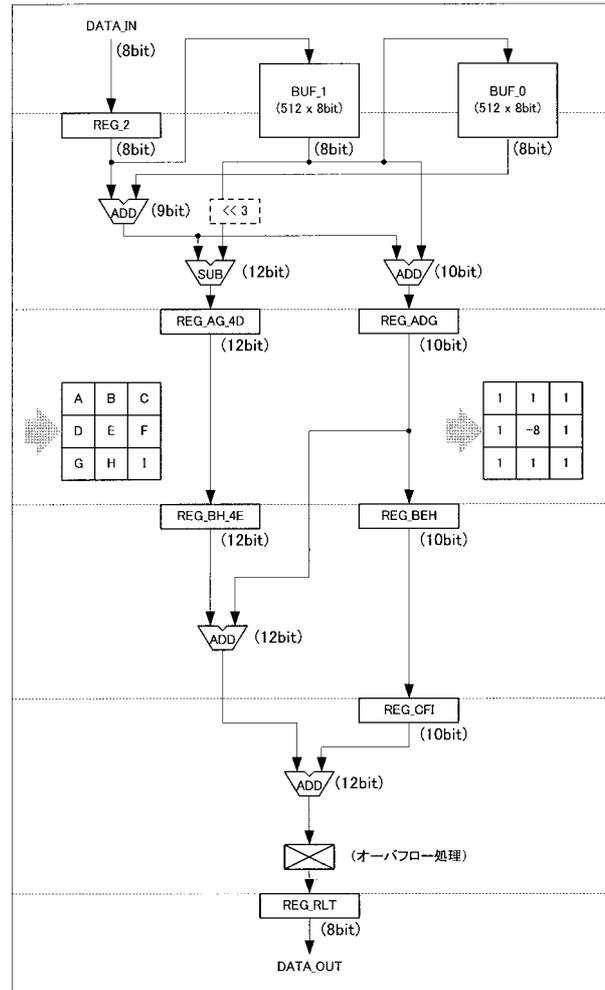


図13 8方向2次微分処理のフロー

理由としては、一般的に輝度変換における緑成分への重み付けがもっとも高いことと、除算処理の除数が2の累乗となってシフト演算のみで実現できるためである。

処理としては2×2画素における演算処理となるため、1ライン分のバッファを使用する。

(2) 3×3空間フィルタ処理

画像処理において最も利用される処理として3×3空間フィルタがある。この処理では注目画素の周辺3×3の各画素と加重マトリクスと呼ばれる重み付け用の係数との積和演算と除算処理を行うもので、様々な処理が可能である。

フィルタ処理における一般的な計算を式(3)に、3×3空間フィルタ処理の一般的な構成を図12に示す。

$$F(x, y) = \sum \sum (u(i, j) \cdot f(x+i, y+j)) / C \quad \dots\dots\dots (3)$$

ただし、i, j = -1, 0, 1

式(3)において、f(x+i, y+j)は入力画像、u(i, j)は加重マトリクス、F(x, y)は出力画像、x, yは注目画素の位置である。

ハードウェア処理においては汎用的な乗除算は回路規模が非常に大きくなるため、開発したIPでは可能な限りシフト

演算，加減算で置き換えた。また，多用する処理については個別に最適化したモジュールの開発を行った。

図13に8方向2次微分処理の例を示す。図はレジスタ間のデータの流れを示したフローで，ハードウェア量を削減するためにレジスタを削除した結果を示している。この処理の加重マトリックス w は以下の値である。なお除数 C は1である。

$$w(i, j) = \begin{bmatrix} 1, & 1, & 1 \\ 1, & -8, & 1 \\ 1, & 1, & 1 \end{bmatrix}$$

(3) テンプレートマッチング処理

$m \times n$ 画素において，テンプレート t と以下の演算処理を行う処理である。

$$n(x, y) = \sum \sum |f(x+i, y+j) - t(i, j)| \quad \dots\dots\dots (4)$$

ただし， $i=0, \dots, n, j=0, \dots, m$

テンプレートは予め設定したマトリクスで，この処理によりテンプレートとの距離（非類似度）が算出できる。

開発した IP ではメモリアクセス数を削減するため，画像データのマッチング用にラインバッファを使用している。そのため可能なテンプレートのサイズは FPGA 内のメモリブロック数に制限される。

(4) ルックアップテーブル変換

入力したイメージデータの値をアドレスとして，予め設定しておいた変換テーブルの内容をイメージデータとして出力する機能である。対数変換など演算処理回路が複雑になる処理に有効である。

変換テーブルは FPGA 内のメモリブロックを利用しており，予め値を設定しておく利用方法の他，処理結果から変換値を書き込むことが可能な RAM のテーブルとしても使用できる。

また，画像処理以外では，外部インターフェース機能として，液晶ディスプレイの制御機能，USB コントローラ（National Semiconductor USBN9602）とのインターフェース機能などを開発した。

3.4 処理速度の評価

開発した2つの処理モジュールに関して，その高速性を評価するためパソコン上での処理時間とイメージセンサでの処理時間の比較を行った。表3にその結果を示す。

使用したパソコンの環境は以下に示すとおりである。

- CPU : Athlon 1GHz , FSB : 100MHz
- メモリ : 384MB OS : MS-Windows2000
- 使用コンパイラ : Microsoft Visual C++ 6.0

この結果では，開発したイメージセンサはパソコンに比較して十分に高速な処理能力を有していると言える。

実際には，大量のメモリを使用するアプリケーションでは

表3 処理速度の比較

処理系	1画面(VGA)当たりの処理時間	
	LUT変換	8方向2次微分
パソコン	14.7 msec	62.7 msec
イメージセンサ	6.4 msec	12.8 msec

パソコンが，並列度を上げて実行できるアプリケーションではイメージセンサが有利と考えられ，性能を引き出すには処理内容に応じた機能の割当が重要である。

4 . 評価用アプリケーション

4.1 光切断法による立体形状計測⁵⁾

対象物のサイズを簡単かつ高速に計測するための方法として，光切断法がある。光切断法では図14に示すように斜め方向から投光したライン状の光の位置を画像計測することにより，高さ方向の計測を行う。

イメージセンサへ搭載した機能は，取り込んだ画像からライン状光の位置を画素数で計測し，この画素数を外部コネクタに出力するものである。

処理は図15に示すように，2値化，射影処理，LUT変換

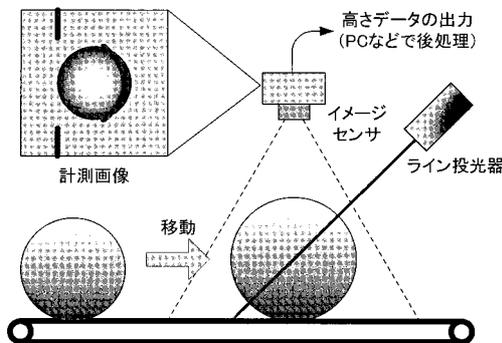


図14 光切断法による高さ計測

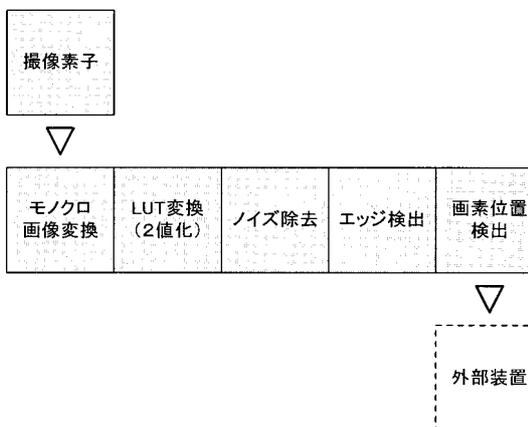


図15 光切断法の実装

などの基本的な画像処理 IP の組合せによって実現した。ほとんどの機能が外部メモリを介さずパイプラインにより処理できるため、フレームの読み出しとほぼ同時に処理結果を出力できる。したがって、最大解像度では毎秒約15回、1/4の解像度では毎秒約60回の高速度な計測が可能である。

FPGA 内のリソースの使用は以下に示すように約17%に過ぎず、さらに計測のロバスト性を高める処理や立体形状の再構成を行う処理などの搭載も十分に可能と考えられる。

- ・ロジックブロックの使用：890（約17%）
- ・メモリブロックの使用：9（約75%）

このようなアプリケーションでは単体のセンサとして利用することができるため、従来の画像処理システムに比べて数十分の1のサイズで必要な画像処理が実現できる。また、電源投入後すぐに動作を開始するため、取り扱いの点でも従来の画像処理装置に比べ大幅に改善している。

4.2 セキュリティ向け動体検知機能

セキュリティ向け侵入検知機能として、画像の変化量から侵入者の検出を行う機能を開発し、イメージセンサへ搭載した。

処理機能は図16に示すように、前後の画像の変化を常にチェックして、変化量が大きいか場合に検知信号を出力し、同時に変化のあった部分の画像の出力を行うものである。

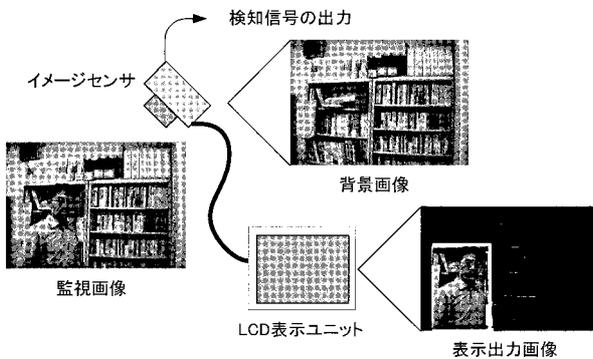


図16 動体検知の例

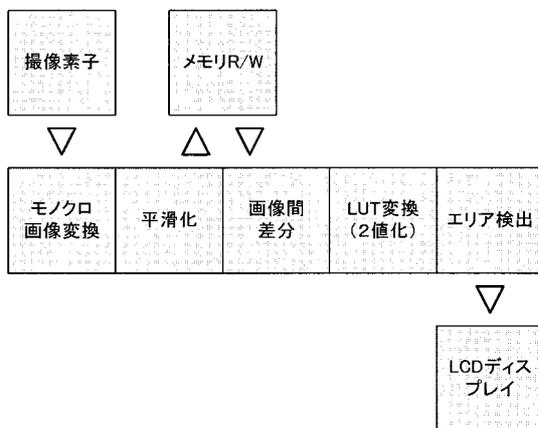


図17 動体検知処理の実装

搭載した処理は図17に示すように、平滑フィルタなどの基本的な IP のほか、前後の画像間のブロックごとの差分を求める IP を開発した。FPGA 内のリソースの使用を以下に示す。

- ・ロジックブロックの使用：1240（約24%）
- ・メモリブロックの使用：10（約83%）

従来の防犯カメラでは、警備員がビデオ映像を常にチェックする必要があったが、侵入検出機能を備えたカメラを利用することで大幅な効率化が可能となる。イメージセンサはこのような機能を比較的容易に実現可能であると同時に小型であるため従来のカメラの置き換えとして利用することが可能となる。

5.まとめ

画像の入力と処理機能を一体化し、FPGA を利用することで大幅な小型化を実現したイメージセンサの開発を行った。また搭載可能な画像処理モジュールの開発を行い、評価アプリケーションへ適用してその有効性を確認した。

開発したイメージセンサは、大幅な小型化により、従来設置スペースや耐環境性などの問題のあった農水産物の品質検査での利用が可能となり、また低価格でかつ高速なインテリジェント・センサとしての利用が期待できる。

また、近年の FPGA は、高速通信機能やプロセッサなど様々な周辺機能を取り込んで高機能化が進む一方、ますます大容量化しており、多品種少量生産と同時に多機能な処理が求められるハードウェア開発においてはさらに利用が拡大するものと考えられる。FPGA の利用においては、所有する技術やノウハウを IP 化していくことが求められ、IP の蓄積が今後の競争力ある製品開発につながるポイントとなる。

今後は、開発したイメージセンサおよびアプリケーションの実用化を進めると同時に、処理機能である IP のライブラリ化を進め、これらをベースとして企業への技術支援を行っていく予定である。

引用文献

- 1) 大村 功ほか：FPGA を用いたイメージセンサの開発、情報処理北海道シンポジウム2002 pp.19-20, (2002)
- 2) ACEX1K Programmable Logic Family Data Sheet, ALTERA (2001)
- 3) Product Technical Specification HDCS-2020/1020, Agilent Technologies, (2000)
- 4) Kodak Digital Science KAC-1310 CMOS Image Sensor Technical Data, Eastman Kodak, (2001)
- 5) 大村 功ほか：高速画像処理による農産物加工品等級識別システムの開発（第2報）、北海道立工業試験場報告 No.292 pp.131-137, (1993)